

ST  
09/19/2007  
Translation  
5060

PATENT COOPERATION TREATY

# PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

|   |   |   |
|---|---|---|
| Applicant's or agent's file reference<br>FWA0-10  | <b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416) |   |
| International application No.<br>PCT/JP00/03949   | International filing date (day/month/year)<br>16 June 2000 (16.06.00)   | Priority date (day/month/year)<br>30 June 1999 (30.06.99) |
| International Patent Classification (IPC) or national classification and IPC<br>H04N 5/92 |   |   |
| Applicant<br>SHARP KABUSHIKI KAISHA   |   |   |

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 3 sheets, including this cover sheet.
- ☐ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of \_\_\_\_\_ sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

|  |   |
|--|---|
| Date of submission of the demand<br>24 October 2000 (24.10.00) | Date of completion of this report<br>13 April 2001 (13.04.2001) |
| Name and mailing address of the IPEA/JP                        | Authorized officer  |
| Facsimile No.  | Telephone No.   |

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/03949

## I. Basis of the report

## 1. With regard to the elements of the international application:\*

- ☒ the international application as originally filed
- ☐ the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, as amended (together with any statement under Article 19  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

## 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

## 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/03949

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

|                               |        |     |     |
|-------------------------------|--------|-----|-----|
| Novelty (N)                   | Claims | 1-8 | YES |
|                               | Claims |     | NO  |
| Inventive step (IS)           | Claims | 1-8 | YES |
|                               | Claims |     | NO  |
| Industrial applicability (IA) | Claims | 1-8 | YES |
|                               | Claims |     | NO  |

### 2. Citations and explanations

#### Claims 1-8

None of the documents cited in the ISR describes the control of frame pages of a memory by means of an input synchronizing signal for switching between the first reading means and the second reading means from the memory, and the feature appears to be novel and to involve an inventive step.

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

|                           |   |                         |
|---------------------------|---|-------------------------|
| 出願人又は代理人<br>の書類記号 FWA0-10 | 今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)<br>及び下記5を参照すること。 |                         |
| 国際出願番号<br>PCT/JPO0/03949  | 国際出願日<br>(日.月.年) 16.06.00                               | 優先日<br>(日.月.年) 30.06.99 |
| 出願人(氏名又は名称)<br>シャープ株式会社   |   |                         |

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。  
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H04N 5/92

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H04N 5/782, 5/91-5/956

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
|-----------------|---|------------------|
| A               | JP, 6-303574, A (ソニー株式会社) 28. 10月. 1994 (28. 10. 94)<br>(ファミリーなし)   | 1-8              |
| A               | JP, 60-231977, A (ソニー株式会社) 18. 11月. 1985 (18. 11. 85)<br>& AU, 4170785, A & EP, 160539, A<br>& US, 4751589, A1 & AT, 68652, E<br>& DE, 3584384, C | 1-8              |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

04. 09. 00

国際調査報告の発送日

19.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松元 伸次

5 C

9 5 6 3

電話番号 03-3581-1101 内線 3541

| C (続き) . 関連すると認められる文献 |  |                  |
|-----------------------|--|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
| A                     | JP, 8-87840, A (キャノン株式会社) 2. 4月. 1996 (02. 04. 96)<br>& US, 5937156, A1                        | 1-8              |
| A                     | JP, 8-172608, A (松下電器産業株式会社) 2. 7月. 1996 (02. 07. 96)<br>& EP, 705034, A2<br>& US, 5671260, A1 | 1-8              |
| A                     | JP, 8-191425, A (三菱電機株式会社) 23. 7月. 1996 (23. 07. 96)<br>(ファミリーなし)                              | 1-8              |
| A                     | JP, 9-172612, A (三洋電機株式会社) 30. 6月. 1997 (30. 06. 97)<br>(ファミリーなし)                              | 1-8              |

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2001年1月4日 (04.01.2001)

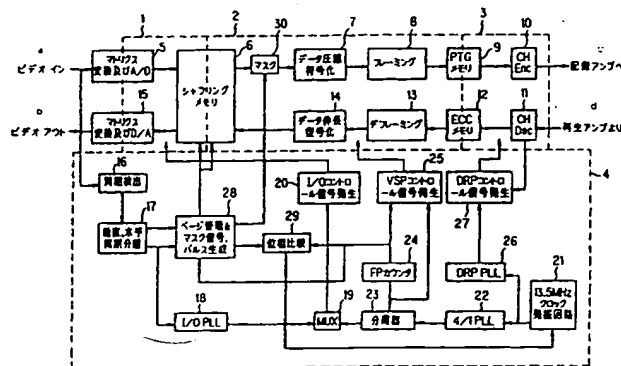
PCT

(10) 国際公開番号  
WO 01/01683 A1

- (51) 国際特許分類: H04N 5/92  
(21) 国際出願番号: PCT/JP00/03949  
(22) 国際出願日: 2000年6月16日 (16.06.2000)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願平11/184605 1999年6月30日 (30.06.1999) JP  
(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府大阪市阿倍野区長池町22番22号 Osaka (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 齋藤修治 (SAITO, Shuji) [JP/JP]; 〒261-0026 千葉県千葉市美浜区幕張  
(57) Abstract: If there is always a difference in length between a reference signal and a vertical synchronizing signal, write and read in and from a shuffling memory are asynchronous, and this causes overwrite or mixing of data. Therefore, a memory for three frames is used as the shuffling memory to perform a shuffling processing without mixing the data.

(54) Title: RECORDING AND REPRODUCING APPARATUS

(54) 発明の名称: 記録再生装置



- 1...VIDEO IN  
2...VIDEO OUT  
3...MATRIX CONVERSION AND A/D  
4...MATRIX CONVERSION AND D/A  
5...SYNCHRONIZING SIGNAL DETECTION  
6...VERTICAL AND HORIZONTAL SYNCHRONIZING SIGNAL SEPARATION  
7...SHUFFLING MEMORY  
8...PAGE MANAGEMENT & MASK SIGNAL AND PULSE GENERATION  
9...MASK  
10...PHASE COMPARISON  
11...DATA COMPRESSION ENCODING  
12...DATA DECOMPRESSION DECODING  
13...I/O CONTROL SIGNAL GENERATION  
14...FRAMING  
15...DEFRAMING  
16...VSP CONTROL SIGNAL GENERATION  
17...FP COUNTER  
18...FREQUENCY DIVIDER  
19...PPG MEMORY  
20...ECC MEMORY  
21...DRP CONTROL SIGNAL GENERATION  
22...13.5MHz CLOCK OSCILLATION CIRCUIT  
23...TO RECORDING AMPLIFIER  
24...FROM REPRODUCING AMPLIFIER

[続葉有]

WO 01/01683 A1

(57) 要約:

標準信号に比べて垂直同期信号の長さに恒常的に差がある場合、シヤフリンダメモリへの書き込みと読み出しが非同期のため、データの上書きや混合が発生する。そこで、シヤフリンダメモリとして、371ーム分のメモリを使用すること  
で、データが混ざることなくシヤフリンダ処理が行える。



WO 01/01683 A1



## 明 細 書

## 記 録 再 生 装 置

## 技術分野

本発明は、映像デジタル信号を記録・再生するデジタル信号装置に関するもの  
5 であり、外部入力映像信号を記録する装置に関するものである。

## 背景技術

近年、デジタル信号処理技術の発展に伴い、映像信号などを高能率符号化した  
デジタルデータを記録再生する装置、例えばデジタルビデオカセットテープレ  
10 コーダー（以下、DVCと称す）が普及してきている。

この記録再生装置で、コンポジット信号等の外部入力映像信号を記録する方法  
が、特開平7-177469号公報に提案されている。

上記提案の場合の一実施例を第8図に示す。第8図において、101はI/O  
ブロック、102はVSPブロック、103はDRPブロック、104は制御ブ  
15 ロック、105は入力映像信号処理回路、106はシャフリングメモリ、107  
は直交変換回路、108はフレーム化回路、109はPTGメモリ、110はエ  
ンコーダ、111はデコーダ、112はECCメモリ、113はデフレーム化回  
路、114は逆直交変換回路、115は出力映像信号処理回路、116は同期分  
離回路、117は同期検出回路、118はマルチプレクサ、119は垂直及び水  
20 平同期分離回路、120はI/Oコントロール信号発生回路、121はI/OP  
LL回路、122はVSPコントロール信号発生回路、123は2VSPPLL  
回路、124はDRPコントロール信号発生回路、125はDRPPLL回路、  
126はマルチプレクサ、127はPBPLL回路、128はリファレンス同期  
ジェネレータ、129はフレームパルス生成回路である。

第8図に示した記録再生装置は、映像信号の入出力処理を行なう入出力部であるI/Oブロック101（入出力処理部）と、映像データに対して所定の信号処理を行なうVSP（Video Signal Processing）ブロック102（圧縮伸長処理部）と、映像データの記録再生を行なう記録再生処理等を行なうDRP（Data Recording Playback）ブロック103（記録再生処理部）と、各ブロック101～103に必要なクロックをそれぞれ形成すると共に、装置全体の制御を行なう制御ブロック104で構成されている。

この記録再生装置において、外部から入力される、例えばコンポジット信号の記録再生を行う場合を以下に説明する。

まず制御ブロック104では、入力されたコンポジット信号は、同期分離回路116で同期信号が抽出され、同期検出回路117で同期信号が検出された時に、同期分離回路116からの同期信号がマルチプレクサ118を介して垂直及び水平同期分離回路119に供給される。尚、同期検出回路117で所定時間同期信号が検出されなかった場合でも、リファレンス同期ジェネレータ128からマルチプレクサ118を介して垂直及び水平同期分離回路119に同期信号が供給されるようになっている。

垂直及び水平同期分離回路119で同期信号を垂直同期信号及び水平同期信号に分離し、水平同期信号はI/OPLL回路121で位相が引き込まれ、正確なタイミングの水平同期信号が形成され、I/Oコントロール信号発生回路120に供給される。I/Oコントロール信号発生回路120では、水平同期信号をリファレンスとして、国際無線通信諮問委員会（ITU-R）で勧告されている13.5MHzのクロックが形成されると共に、I/Oコントロール信号が形成され、これらがI/Oブロック101に供給される。

垂直同期信号は、フレームパルス生成回路129で映像信号のフレーム長が検出され、標準の周波数に対して±1%以内の時は供給された垂直同期信号からフ

フレームパルスを生成（以下、外部入力同期信号と称す）し、標準の垂直同期信号に対して+1%以上の時は+1%の、-1%以下の時は-1%の独自のフレームパルスを生成（以下、内部自走同期信号と称す）し、2VSPPLL回路123に供給する。

5       尚、外部入力同期信号から内部自走同期信号へ切り換わる時は、供給された垂直同期信号で内部自走同期信号用カウンタをリセットすることで、出力するフレームパルスに連続性を持たせる。また内部自走同期信号から外部入力同期信号へ切り換わる時は、所定のウィンドウ幅を設けて、位相がウィンドウ内の時に切り換えを行なうことで、出力するフレームパルスに連続性を持たせる。

10       2VSPPLL回路123では、フレームパルスの位相が引き込まれ、正確なタイミングのフレームパルスが形成され、VSPコントロール信号発生回路122に供給される。VSPコントロール信号発生回路122からは、18MHzのクロックと、18MHzのクロックに基づいて形成されるVSPコントロール信号が、VSPブロック102に供給される。

15       また、DRPPLL回路125では、2VSPPLL回路123から供給されるタイミング信号の位相が引き込まれ、正確なタイミングの41.85MHzのクロックが形成され、マルチプレクサ126を介してDRPコントロール信号発生回路124に供給する。DRPコントロール信号発生回路124からは、41.85MHzのクロックと、41.85MHzのクロックに基づいて形成されるDRPコントロール信号が、DRPブロック103に供給される。

20       次にI/Oブロック101では、入力されたコンポジット信号は、入力映像信号処理回路105でサンプリングされると共にデジタル化され、さらに輝度データY及びクロマデータCが形成され、制御ブロック104から供給される13.5MHzのクロックにより、シャフリングメモリ106に書き込まれる。

25       そしてVSPブロック102では、制御ブロック104から供給される18MHzのクロックで、シャフリングメモリ106から映像データを読み出し、直交

変換回路 107 でデータ圧縮し、フレーム化回路 108 で1 画像分の映像データを形成し、PTGメモリ 109 に書き込むと共にパリティを付加する。

そしてDRPブロック 103 では、制御ブロック 104 から供給される 41.85MHz のクロックで、PTGメモリ 109 から映像データを読み出し、エンコーダ 110 で所定の符号化処理を施し、記録ヘッド（図示せず）に出力する。

次に、この記録再生装置において、再生を行う場合を以下に説明する。

映像データは再生時において、再生ヘッド（図示せず）により再生され、デコーダ 111 に供給される。

ここで、制御ブロック 104 では、上記デコーダ 111（DRPブロック 103 内）で処理された映像データがPBPLL回路 127 に供給され、41.85MHz のクロックが形成され、マルチプレクサ 126 を介してDRPコントロール信号発生回路 124 に供給される。DRPコントロール信号発生回路 124 からは、41.85MHz のクロックとDRPコントロール信号が、DRPブロック 103 に供給される。また、DRPコントロール信号発生回路 124 では、テープに記録されたパイロット信号をもとにキャプスタン速度が制御される。即ち、再生ヘッドにより記録トラックを正確にトレースすることができ、従って映像データを正確に再生することができる。

また、リファレンス同期ジェネレータ 128 から、マルチプレクサ 118 を介して、垂直及び水平同期分離回路 119 に同期信号が供給される。垂直及び水平同期分離回路 119 で分離された垂直同期信号は、フレームパルス生成回路 129 を介して、2VSPPLL回路 123 で位相が引き込まれ、VSPコントロール信号発生回路 122 で18MHz のクロックと、VSPコントロール信号が形成され、VSPブロック 102 に供給される。

また、垂直及び水平同期分離回路 119 で分離された水平同期信号は、I/OPLL回路 121 で位相が引き込まれ、I/Oコントロール信号発生回路 120 で13.5MHz のクロックと、I/Oコントロール信号が形成され、I/Oブ

ロック101に供給される。

DRPブロック103では、上記のように再生データがデコーダ111に供給され、所定の復号化処理が施され、制御ブロック104から供給される41.85MHzのクロックでECCメモリ112に書き込まれると共に、誤り訂正される。

VSPブロック102では、制御ブロック104から供給される18MHzのクロックによりECCメモリ112から読み出され、デフレーム化回路113を介して逆直交変換回路114に供給され、VSPコントロール信号に基づいて逆直交変換処理され、18MHzのクロックにより、1画像分の映像データを形成するようにシャフリングメモリ106に書き込まれる。

I/Oブロック101では、制御ブロック104から供給される13.5MHzのクロックによりシャフリングメモリ106から映像データが読み出され、出力映像信号処理回路115で、I/Oコントロール信号に基づいてコンポジットデータが形成されると共に、アナログ化されて外部に出力される。

このようにして、記録時に外部入力映像データの垂直同期信号が、標準周波数の±1%以内の場合は、外部入力同期信号にしたがって、+1%以上及び-1%以下の場合は、それぞれ+1%、-1%の内部自走同期信号にしたがって映像データの記録を行うことができる。また、外部入力同期信号と内部自走同期信号の切り換わり時に、出力される垂直同期信号に連続性をもたせることができるため、記録ヘッドの回転数に関して、正確なドラムサーボをかけることができる。

また、再生時には、テープに記録された映像データを、正確に再生することができる。

しかしながら、シャフリングメモリへの書き込みと読み出しが非同期のため、1フレーム分のデータの書き込みが終了する前に読み出しが始まった場合、上書きされる前の古いフレームのデータと混ざる現象が発生する。また、1フレーム分のデータの読み出しが終了する前に次フレームのデータの書き込みが始まった

場合、上書きされた新しいフレームのデータと混ざる現象が発生する。これらの現象は、特に垂直同期信号の長さが標準信号に比べて恒常的に $\pm 1\%$ 以上の場合には頻繁に発生すると考えられるが、特開平7-177469ではこの件には触れていない。

- 5       また、外部入力時の入力ソースによっては乱れた映像データが記録される可能性がある。その例として、つなぎ撮りされたテープ再生の入力によるフィールドの不連続や、チューナーからの入力中のチャンネル切り換えによるフィールドの不連続、1フレーム中のライン数の増減、異なるフレームデータの混在や、ゲーム機等のノンインターレース信号入力による片フィールドの連続や、ブランク信号
- 10       号入力による同期抜け及び復帰後の同期信号位相の不連続等が挙げられる。

#### 発明の開示

上記課題を解決するために、本発明は以下のような構成とした。

- 即ち、映像デジタル信号を記録・再生する記録再生装置において、少なくとも
- 15       3フレーム分のメモリと、外部から入力された映像デジタル信号の同期信号にしたがって映像データを前記メモリに書き込む書き込み手段と、前記同期信号にしたがって映像データを前記メモリから読み出す第1の読み出し手段と、別途作成された自走同期信号にしたがって映像データを前記メモリから読み出す第2の読み出し手段と、前記同期信号にしたがって、少なくとも前記メモリへの映像データの書き込みタイミングと読み出しタイミングを制御し、メモリのフレームページを管理するページ管理手段と、を備え、前記ページ管理手段にしたがって前記
- 20       第1の読み出し手段と前記第2の読み出し手段を切換えるようにした。

- ここで、前記第2の読み出し手段は、前記同期信号のフレーム長と予め設定された所定の標準値との長短差を検出するフレーム長検出手段と、前記標準値より
- 25       長い、第1のフレーム基準信号を作成する第1の内部カウンタと、前記標準値より短い、第2のフレーム基準信号を作成する第2の内部カウンタと、前記同期信

号に基づいてウィンドウパルスを生成するウィンドウパルス生成部と、を備え、  
前記フレーム長検出手段の検出結果より、前記フレーム長が前記標準値と一致し  
た場合は、前記第 1 の読み出し手段で前記メモリから映像データを読み出し、前  
記フレーム長が前記標準値より長い場合は、前記第 1 のフレーム基準信号を用い  
5 た前記第 2 の読み出し手段で前記メモリから映像データを読み出し、前記フレ  
ーム長が前記標準値より短い場合は、前記第 2 のフレーム基準信号を用いた前記第  
2 の読み出し手段で前記メモリから映像データを読み出し、前記第 1 の読み出し  
手段から前記第 2 の読み出し手段への切り換わり時には、前記第 1 の内部カウン  
タ及び第 2 の内部カウンタをリセットし、前記第 2 の読み出し手段から前記第 1  
10 の読み出し手段への切り換わりは、前記ウィンドウパルス内に前記第 1 のフレ  
ーム基準信号または前記第 2 のフレーム基準信号が入った時に行われるようにした。

また、前記第 2 の読み出し手段は、フィールドを判別するフィールド判別手段  
と、フィールドの不連続を検出する不連続検出手段と、を備え、前記フィールド  
判別手段で判別したフィールドから前記不連続検出手段によりフィールド不連続  
15 を検出した場合、メモリの書き込みページ及び読み出しページを保持するよう  
にしても良く、

また、前記第 2 の読み出し手段は、1 フレーム中のライン数を検出するライン  
数検出手段を備え、該ライン数検出手段で検出されたライン数が、予め設定され  
た所定のライン数と異なる場合、メモリの書き込みページ及び読み出しページを  
20 保持するようにしても良い。

更に、前記第 2 の読み出し手段は、外部から入力された映像デジタル信号のブ  
ランク期間を検出するブランク検出手段と、前記ブランク検出手段によりブラン  
ク期間を検出した場合、前記メモリから読み出される映像信号を強制的にミュ  
ートするマスク手段と、を備えても良く、

25 また、前記第 2 の読み出し手段は、外部から入力された映像デジタル信号がイ  
ンターレースかノンインターレースか判別するインターレース判別手段と、前記

インターレース判別手段により外部から入力された映像デジタル信号がノンインターレースと判別された場合、フィールド付け替えを行い、インターレースに変換するフィールド付け替え手段と、を備えても良い。

ここで、前記インターレース判別手段の判別結果が変化した際、メモリの書き込みページ及び読み出しページの内容を保持することが好ましく、

更には、前記インターレース判別手段の判別結果が変化した際、予め設定された所定の期間前記判別結果を監視した後、メモリの書き込みページ及び読み出しページの内容を保持することが好ましい。

## 10 図面の簡単な説明

第1図は本発明に係る記録再生装置を示すブロック図である。

第2図は本発明に係る記録再生装置の外部入力制御回路の詳細を示すブロック図である。

第3図は本発明に係る記録再生装置の外部入力制御回路の処理の流れを示すフローチャートである。

第4図は標準モード・525/60方式の1フレーム分のメモリを示す図である。

第5図は外部入力映像データが乱れた場合のデータの読み書きを示すタイミングチャートである。

第6図は書き込み周期より読み出し周期が短い場合のデータの読み書きを示すタイミングチャートである。

第7図は書き込み周期より読み出し周期が長い場合のデータの読み書きを示すタイミングチャートである。

第8図は従来の記録再生装置を示すブロック図である。



以下、本発明の実施例について説明する。

まず、映像データのシャフリングについて説明する。

映像データを圧縮、記録する場合に直交変換を行なうが、その際に情報量のバラツキを小さくして圧縮効率を向上させるために、シャフリング処理（映像データの並べ換え処理）が行なわれている。

上記シャフリング処理を簡単に行うためには、1フレーム分の映像データを記憶できるメモリを2個用意し、一方が書き込みを行っている間に他方は1フレーム前のデータを書き込み時とは異なった順序で読み出すという方法（バンク方式）を用いればよい。

しかしながら、従来はメモリのコストが高く、上記バンク方式で必要とされる2フレーム分のメモリは、容量が大きすぎてコストパフォーマンスが悪いため、それを解決する手段として、1フレーム分のメモリを使用してシャフリング処理を行う方法が用いられていた。

第4図を用いて、1フレーム分のメモリでシャフリング処理を行う方法の一例を説明する。第4図は標準モード・525/60方式の1フレーム分のメモリを示す図であり、第4図において51はY信号DCTブロック、52はCr信号DCTブロック、53はCb信号DCTブロック、54はマクロブロック、55はスーパーブロックである。

まず、メモリへの書き込みは、1stフィールドのデータが横方向に1ラインおきに240ライン、続いて2ndフィールドのデータが同様に240ライン書き込まれる。

次に、読み出しはDCTブロックと呼ばれる、水平方向サンプリング数8、垂直方向サンプリング数8のブロックを最小単位として行われる。このDCTブロックは、Y信号DCTブロック51が4つ、Cr信号DCTブロック52が1つ、Cb信号DCTブロック53が1つの合計6つでマクロブロック54単位にまとめられ、さらにマクロブロック54が27個のスーパーブロック55にまと

められる。最初に読み出されるのは第4図中で斜線で示したスーパーブロック55であり、Y0からY3までのY信号DCTブロック51、Cr信号DCTブロック52、Cb信号DCTブロック53の順にマクロブロック54の単位で読み出され、各5つのスーパーブロック55中の0から26までのマクロブロック54が読み出されると、順次下の段のスーパーブロック55に移動して読み出しが行われる。

そして、次のフレームのデータは、読み出しが終了したスーパーブロック55に書き込みを行い、以降順次読み出しが終了したブロックに書き込みを行うことで、1フレーム分のメモリでシャフリング処理を実現している。

ここで、上記1フレーム分のメモリで行うシャフリング処理方法について、上記課題の前後フレームのデータが混ざる現象について検証する。書き込み周期より読み出し周期が短い場合は、次第に書き込みが間に合わなくなるため、まだ書き込みが終了していないスーパーブロック55の読み出しが行われることになり、前フレームのデータと混ざったデータの読み出しが行われる。書き込み周期より読み出し周期が長い場合は、次第に読み出しが間に合わなくなるため、まだ読み出しが終了していないスーパーブロック55に次のフレームの書き込みが行われることになり、次フレームのデータと混ざったデータの読み出しが行われる。

以上により、1フレーム分のメモリでシャフリング処理を行った場合、書き込み周期と読み出し周期が異なると前後のフレームのデータが混ざる現象が発生する。しかも書き込み／読み出しのアドレス巡回規則が破綻するため、アドレス巡回をリセットしないと復帰できない可能性もあり、使用は難しい。

しかし、最近ではメモリの大容量化及び量産効果による低価格化により、外付けメモリを用いる場合、1フレーム分の専用メモリより汎用メモリを用いる方がコスト的に有利になってきている。現在コスト的にも入手しやすいのが16MbitのDRAMであり、1フレーム分のデータ量が最も多い標準モード・625/50方式(4.75Mbit)でも3フレーム分確保できる。したがって上記バ

ンク方式を用いることができる。以下に2フレーム分のメモリを使用したバンク方式を用いた場合と、3フレーム分のメモリを使用してシャフリング処理を行った場合の、書き込み周期と読み出し周期が異なる時の比較を行う。

5       まず、書き込み周期より読み出し周期が短い場合について、図を用いて説明する。

10       第6図は書き込み周期より読み出し周期が短い場合であり、(a)は2フレーム分、(b)は3フレーム分のメモリを使用した場合である。図中のXは、シャフリングしながら読み出しを開始するのに、十分なデータが書き込み終了している(標準モードで2ndフィールドの216ライン)位置であり、読み出しはこのXの位置を越えたデータに対して行うこととする。また、図中のYは、読み出し終了位置であり、これより前に書き込みが開始された場合はデータが混ざる。また、メモリの1フレーム目をA、2フレーム目をB、3フレーム目をCとする。

15       第6図(a)において、A1の書き込み終了位置XよりA1の読み出しが先になるため、B0を2度読みするが、B0の読み出し終了位置Yより前にB1の書き込みが開始されるため、B0とB1のデータが混ざって読み出される。次にA1の読み出しが行われるが、A1の読み出し終了位置Yより前にA2の書き込みが開始されるため、A1とA2のデータが混ざって読み出される。続いて同様にB1の読み出しではB1とB2のデータが混ざって読み出される。その次のA2の読み出しで、読み出し終了位置Yまで次のA3の書き込みが開始されないで、  
20       データの混ざりのない正常な読み出しに復帰する。

      第6図(b)において、C0の書き込み終了位置XよりC0の読み出しが先になるため、B0を2度読みするが、C0の書き込み終了後はA1の書き込みとなるため、2度目のB0の読み出しはデータの混ざりのない正常な読み出しとなり、以後もデータが混ざることはない。

25       したがって、2フレーム分のメモリを使用してシャフリング処理を行った場合は、読み出しと書き込みが重なっている期間はフレームのデータが混ざって読み

出される。読み出し周期と書き込み周期の位相差により、データが混ざる場合と正常の場合とが周期的に現われる。尚、この時の混ざるデータには2フレームの時間差がある。3フレーム分のメモリを使用してシャフリング処理を行った場合は、2度読みを行うことで、データが混ざることはない。

5       次に、書き込み周期より読み出し周期が長い場合について、図を用いて説明する。

      第7図は書き込み周期より読み出し周期が長い場合であり、(a)は2フレーム分、(b)は3フレーム分のメモリを使用した場合である。図中のXは、第6図と同様にシャフリングしながら読み出しを開始するのに、十分なデータが書き  
10       込み終了している(標準モードで2ndフィールドの216ライン)位置である。読み出しはこのXの位置を越えたデータに対して行うこととする。また、図中のYも第6図と同様に、読み出し終了位置であり、これより前に書き込みが開始された場合はデータが混ざる。また、メモリの1フレーム目をA、2フレーム目をB、3フレーム目をCとする。

15       第7図(a)において、B0の読み出し終了位置Yより前にB1の書き込みが開始されるため、B0とB1のデータが混ざって読み出される。次にA1の読み出しが行われるが、読み出し終了位置Yより前にA2の書き込みが開始されるため、A1とA2のデータが混ざって読み出される。続いて同様にB1の読み出しではB1とB2のデータが、A2の読み出しではA2とA3のデータが混ざって  
20       読み出される。その次の読み出しは、A3の書き込み終了位置Xを越えているので、B2の読み出しを行わずにドロップし、A3の読み出しを行うことで、データの混ざりのない正常な読み出しに復帰する。

      第7図(b)において、B1の読み出しの次の読み出しは、A2の読み込みが終了位置Xを越えているので、C1の読み出しを行わずにドロップし、A2の読  
25       み出しを行うことで、データ混ざりのない正常な読み出しとなる。

      したがって、2フレーム分のメモリを使用してシャフリング処理を行った場合

は、読み出しと書き込みが重なっている期間はフレームのデータが混ざって読み出される。読み出し周期と書き込み周期の位相差により、データが混ざる場合と正常の場合とが周期的に現われる。尚、この時の混ざるデータには2フレームの時間差がある。3フレーム分のメモリを使用してシャフリング処理を行った場合は、ドロップを行うことで、データが混ざることではない。

以上により、シャフリングメモリへの書き込みと読み出しが非同期の場合、3フレーム分のメモリを使用することで、データが混ざることなくシャフリング処理が行える。

次に、3フレーム分のシャフリングメモリを使用した、本実施例で使用する記録再生装置の説明を行う。

第1図は、本実施例で使用する、記録再生装置の回路の一例を示す図である。第1図において、1はI/Oブロック、2はVSPブロック、3はDRPブロック、4は制御ブロック、5は入力映像信号処理回路、6はシャフリングメモリ、7は直交変換回路、8はフレーム化回路、9はPTGメモリ、10はエンコーダ、11はデコーダ、12はECCメモリ、13はデフレーム化回路、14は逆直交変換回路、15は出力映像信号処理回路、16は同期分離回路、17は垂直及び水平同期分離回路、18はI/OPLL回路、19はマルチプレクサ、20はI/Oコントロール信号発生回路、21は13.5MHzクロック発振回路、22は4/1PLL回路、23は分周器、24はフレームパルス生成カウンタ、25はVSPコントロール信号発生回路、26はDRPPLL回路、27はDRPコントロール信号発生回路、28は外部入力制御回路、29は位相比較器、30はデータマスク回路である。

第1図に示した記録再生装置は、映像信号の入出力処理を行なう入出力部であるI/Oブロック1（入出力処理部）と、映像データに対して所定の信号処理を行なうVSP（Video Signal Processing）ブロック2（圧縮伸長処理部）と、映像データの記録再生を行なう記録再生処理等を行なう

DRP (Data Recording Playback) ブロック 3 (記録再生処理部) と、各ブロック 1~3 に必要なクロックをそれぞれ形成すると共に、装置全体の制御を行なう制御ブロック 4 で構成されている。

5 この記録再生装置において、外部から入力される、例えばコンポジット信号の記録再生を行う場合を以下に説明する。

まず制御ブロック 4 では、入力されたコンポジット信号は、同期分離回路 16 で同期信号が抽出され、垂直及び水平同期分離回路 17 に供給される。

10 垂直及び水平同期分離回路 17 で同期信号を垂直同期信号及び水平同期信号に分離し、I/OPLL回路 18 で水平同期信号をリファレンスとして、国際無線通信諮問委員会 (ITV-R) で勧告されている 13.5MHz のクロックが形成され、マルチプレクサ 19 を介して I/Oコントロール信号発生回路 20 に供給される。I/Oコントロール信号発生回路 20 では、I/Oコントロール信号が形成され、13.5MHz のクロックと共に I/Oブロック 1 に供給される。

15 垂直同期信号は、外部入力制御回路 28 で映像信号のフレーム長が標準の場合に、外部入力同期信号としてフレームパルス生成の基準となり、映像信号のフレーム長が非標準の周波数の場合には、自走カウンタによる内部自走同期信号がフレームパルス生成の基準となり、位相比較器 29 に供給される。

20 また、13.5MHz クロック発振回路 21 では 13.5MHz のクロックが形成され、4/1PLL回路 22 とDRPPLL回路 26 に供給される。4/1PLL回路 22 では 13.5MHz のクロックが 4 倍され、54MHz のクロックが形成されて分周器 23 に供給される。分周器 23 では 54MHz のクロックが 1/3 分周されて 18MHz のクロックが形成され、FPカウンタ 24 とVSPコントロール信号発生回路 25 に供給される。

25 FPカウンタ 24 では 18MHz のクロックでカウントされたフレームパルスが生成され、VSPコントロール信号発生回路 25 と位相比較器 29 と外部入力制御回路 28 に供給される。位相比較器 29 では FPカウンタ 24 からのフレー

ムパルスと、外部入力制御回路 28 からのフレームパルス基準が比較され、その結果が 13.5 MHz クロック発振回路 21 に供給されて位相が合う方向に制御される。VSP コントロール信号発生回路 25 では、分周器 23 からの 18 MHz のクロックと、FP カウンタ 24 からのフレームパルスに基づいて形成される VSP コントロール信号が、18 MHz のクロックと共に VSP ブロック 2 に供給される。また外部入力制御回路 28 で、シャフリングメモリのページ管理信号とマスク信号の形成が行われ、VS ブロック 2 に供給される。

また DRP PLL 回路 26 では、13.5 MHz クロック発振回路 21 からの 13.5 MHz のクロックが  $31/10$  倍されて 41.85 MHz のクロックが形成され、DRP コントロール信号発生回路 27 に供給される。DRP コントロール信号発生回路 27 では、41.85 MHz のクロックに基づいて DRP コントロール信号を形成し、41.85 MHz のクロックと共に DRP ブロック 3 に供給される。

次に I/O ブロック 1 では、入力されたコンポジット信号は、入力映像信号処理回路 5 でサンプリングされると共にデジタル化され、さらに輝度データ Y 及びクロマデータ C が形成され、制御ブロック 4 から供給される 13.5 MHz のクロックにより、外部入力制御回路 28 からのページ管理にしたがって、シャフリングメモリ 6 に書き込まれる。

そして VSP ブロック 2 では、制御ブロック 4 から供給される 18 MHz のクロックで、外部入力制御回路 28 からのページ管理にしたがって、シャフリングメモリ 6 から映像データを読み出し、データマスク回路 30 で外部入力制御回路 28 からのマスク信号にしたがってマスク処理を施し、直交変換回路 7 でデータ圧縮し、フレーム化回路 8 で 1 画像分の映像データを形成し、PTG メモリ 9 に書き込むと共にパリティを付加する。

そして DRP ブロック 3 では、制御ブロック 4 から供給される 41.85 MHz のクロックで、PTG メモリ 9 から映像データを読み出し、エンコーダ 10 で

所定の符号化処理を施し、記録ヘッド（図示せず）に出力する。

次に、この記録再生装置において、再生を行う場合を以下に説明する。

まず制御ブロック4では、13.5MHzクロック発振回路21で形成された13.5MHzのクロックが、DRPPLL回路26で31/10倍されて41.85MHzのクロックが形成され、DRPコントロール信号発生回路27に供給される。DRPコントロール信号発生回路27では、41.85MHzのクロックに基づいてDRPコントロール信号を形成し、41.85MHzのクロックと共にDRPブロック3に供給される。またDRPコントロール信号発生回路27では、再生ヘッド（図示せず）からデコーダ11を介して供給されるテープに記録されたパイロット信号に基づいて、キャプスタン速度が制御される。即ち、再生ヘッドにより記録トラックを正確にトレースすることができ、従って映像データを正確に再生することができる。

また13.5MHzクロック発振回路21で形成された13.5MHzのクロックが4/1PLL回路22に供給され、4倍されて54MHzのクロックが形成されて分周器23に供給される。分周器23では54MHzのクロックが1/3分周されて18MHzのクロックが形成され、FPカウンタ24とVSPコントロール信号発生回路25に供給される。FPカウンタ24では18MHzのクロックでカウントされたフレームパルスが生成され、VSPコントロール信号発生回路25に供給される。

VSPコントロール信号発生回路25では、分周器23からの18MHzのクロックと、FPカウンタ24からのフレームパルスに基づいて形成されるVSPコントロール信号が、18MHzのクロックと共にVSPブロック2に供給される。

また分周器23で54MHzのクロックが1/4分周されて13.5MHzのクロックが形成され、マルチプレクサ19を介してI/Oコントロール信号発生回路20に供給される。I/Oコントロール信号発生回路20では、I/Oコン



トリール信号が形成され、13.5MHzのクロックと共にI/Oブロック1に供給される。

DRPブロック3では、再生ヘッド（図示せず）により再生された映像データがデコーダ11に供給され、所定の復号化処理が施され、制御ブロック4から供給される41.85MHzのクロックでECCメモリ12に書き込まれると共に、誤り訂正される。

VSPブロック2では、制御ブロック4から供給される18MHzのクロックによりECCメモリ12から映像データが読み出され、デフレーム化回路13を介して逆直交変換回路14に供給され、VSPコントロール信号に基づいて逆直交変換処理され、18MHzのクロックにより、1画像分の映像データを形成するようにシャフリングメモリ6に書き込まれる。

I/Oブロック1では、制御ブロック4から供給される13.5MHzのクロックによりシャフリングメモリ6から映像データが読み出され、出力映像信号処理回路15で、I/Oコントロール信号に基づいてコンポジットデータが形成されると共に、アナログ化されて外部に出力される。

ここで、外部入力制御回路28について、さらに詳しく説明する。

第2図は、外部入力制御回路28の詳細を示す回路ブロック図である。第2図において、31は外部同期信号処理回路、32はフィールド不連続検出回路、33はライン数エラー検出回路、34はインターレース／ノンインターレース判別回路、35はリファレンスページ生成回路、36はブランク検出回路、37はマスク信号生成回路、38はフレーム長判定回路、39は長フレーム基準パルス生成回路、40は短フレーム基準パルス生成回路、41はマルチプレクサである。

まず、外部入力映像信号が乱れた場合について説明する。

入力された垂直同期信号と水平同期信号から、フィールド不連続検出回路32でフィールド不連続判定を行う。また、前フィールドのフィールド不連続判定の結果を保持する。

同様に、垂直同期信号と水平同期信号から、ライン数エラー検出回路 3 3 で 1 フィールド中のライン数が所定の値を満たしているか判断し、満たしていない場合にエラーフラグを立てる。また前フィールドのライン数判定結果を保持する。

次に、インターレース／ノンインターレース判別回路 3 4 で、垂直同期信号にしたがってフィールド毎に、フィールド不連続検出回路 3 2 からのフィールド不連続判定と、前フィールドのフィールド不連続判定を参照し、フィールド不連続が所定の回数を越えた場合に、フラグを立てるとともに 1 s t / 2 n d フィールドの疑似付け替え信号を出力する。尚、フィールドが連続が正常に戻った場合も、正常の連続が所定の回数を越えた場合にフラグをリセットする。

外部同期信号処理回路 3 1 では、入力された垂直同期信号と水平同期信号から、フレームのスタートを検出するが、インターレース／ノンインターレース判別回路 3 4 のフラグが立っている場合は、1 s t / 2 n d フィールドの疑似付け替え信号にしたがってフレームのスタートを検出する。

そしてこれらの結果を元に、リファレンスページ生成回路 3 5 でシャフリングメモリのページ管理を行う。まず外部同期信号処理回路 3 1 からのフレームスタート信号にしたがって、フレームスタート時にページを確定する。インターレースモードの時は、ライン数判定、前フィールドのライン数判定、フィールド不連続判定、前フィールド不連続判定の全てがエラーでない時のみ、リファレンスページを更新する。ノンインターレースモードの時は、ライン数判定、前フィールドのライン数判定がエラーでない時のみ、リファレンスページを更新する。それ以外の場合はリファレンスページは更新されず、保持される。このリファレンスページを元に、書き込みページは外部同期のフレームの先頭で、リファレンスページに 1 を加えてセットし、読み出しページはフレームパルスの先頭で、リファレンスページの値をそのままセットする。

また、マスク信号は次のように生成される。ブランク信号が入ってきた場合は、水平同期信号が来なくなるため、ブランク検出回路 3 6 では水平同期信号の周期

を測定し、周期が所定の値を越えた場合にブランクと判定する。また、ライン数エラー検出回路 3 3 からのライン数判定の値も参照し、ブランク判定又はライン数エラーの際に、水平同期信号エラーフラグを立てる。そしてマスク信号生成回路 3 7 で、フレームパルスの先頭で水平同期信号エラーフラグを参照し、所定の回数分連続した場合にマスク信号を出力する。

次に、外部入力映像信号のフレーム長が変動する場合について説明する。

外部同期信号処理回路 3 1 からのフレームスタート信号を基準に、フレーム長判定回路 3 8 でフレーム長が判定され、フレームが長い場合はロングフラグが立ち、短い場合はショートフラグが立つ。また切り換えタイミングのウィンドウパルス10 を生成する。ロングフラグが立った場合、長フレーム基準パルス生成回路 3 9 で作成される、標準のフレーム長より所定の長さ分長い内部自走同期信号が、マルチプレクサ 4 1 を介して出力される。ショートフラグが立った場合、短フレーム基準パルス生成回路 4 0 で作成される、標準のフレーム長より所定の長さ分短い内部自走同期信号が、マルチプレクサ 4 1 を介して出力される。またフレーム長が標準であり、ロングフラグもショートフラグも立たない場合は、フレームスタート15 信号が外部入力同期信号として、マルチプレクサ 4 1 を介して出力される。

尚、外部入力同期信号から内部自走同期信号への切り換えの位相を合わせるために、外部入力同期信号で動作している時は、長フレーム基準パルス生成回路 3 9 及び短フレーム基準パルス生成回路 4 0 の内部自走カウンタは、フレームスタート20 信号でリセットされる。また内部自走同期信号から外部入力同期信号への切り換え時は、フレーム長判定回路 3 8 で生成されたウィンドウパルスを参照し、ウィンドウパルス内に内部自走同期信号が来るまで切り換えを行わないことで位相を合わせる。

上記、外部入力制御回路の処理の流れを第 3 図に示す。

25 以上のような処理により、外部入力映像データが乱れた場合のデータの読み書きがどのように行われるかを、第 5 図を用いて説明する。

第5図(a)は、つなぎ撮り等によるフィールド不連続(1stフィールド連続)の場合である。第5図(a)において、A1の1stフィールドの書き込みの次は、フィールド検出でA2の1stフィールドが検出されるため、フィールド不連続となりフィールドエラーフラグが立ち、書き込みページAと読み出しページCが保持される。A1の1stフィールドのデータだけ書き込まれたページAにA2のデータが上書きされ、前フィールドエラーフラグの解除後にページ保持が解除されてA2のデータが読み出されるため、正常な映像データが出力される。

また、図示してはいないが2ndフィールド連続の場合も、同様にページの保持により正常な映像データが出力される。

次に、第5図(b)はインターレースからノンインターレース(1stフィールドのみ)に切り換わった場合である。第5図(b)において、A1の1stフィールドの書き込みの次は、フィールド検出でA2の1stフィールドが検出されるため、フィールド不連続となりフィールドエラーフラグが立ち、書き込みページAと読み出しページCが保持される。

しかし、A2の1stフィールドの書き込みの次は、フィールド検出でA3の1stフィールドが検出され、以下1stフィールドが連続して検出されるため、フィールドエラーフラグは立ったままとなる。フィールド不連続カウントは、フィールドエラーフラグの立ち上がりでリセットされ、フィールドエラーフラグと前フィールドエラーフラグの両方が立っている間カウントアップし、フィールドエラーが何回続いているか数える。そして所定の回数(図では4回)続いた場合にノンインターフラグを立て、疑似フィールド付け換え信号を発生し、A7の疑似1stフィールド、疑似2ndフィールドを書き込む。以降、ページ保持が解除され、B7以降の書き込みが順次行われ、読み出しもC0の次からA7以降が読み出され、正常な映像データが出力される。

2ndフィールドのみのノンインターレースの場合も同様である。また、図示

してはいないが、ノンインターレースからインターレースへ切り換わった場合も同様に、フィールドエラーの解除の連続をカウントし、所定の回数続いたところでノンインターフラグを解除する。そして切り換わるまでの期間、ページを保持することで、正常な映像データが出力される。

- 5       次に、第5図(c)はライン数変動(減少)が有った場合である。第5図(c)において、A1の1stフィールドのライン数が所定の値より少ないと判定され、ライン数エラーフラグが立ち、書き込みページAと読み出しページCが保持される。A1のライン数不足のデータが書き込まれたページAにA2のデータが上書きされ、前フィールドエラーフラグの解除後にページ保持が解除されてA2の
- 10       データが読み出されるため、正常な映像データが出力される。また、図示してはいないがライン数が増加した場合も、同様にページの保持により正常な映像データが出力される。

- 次に、第5図(d)はブランク入力の場合である。ブランク入力は入力同期信号が来なくなるのだが、垂直同期信号が来なくなる場合、水平同期信号が来なくなる場合、垂直同期信号と水平同期信号の両方が来なくなる場合の3つの場合が
- 15       考えられるが、第5図(d)は垂直同期信号が来なくなる場合を示している。第5図(d)において、A1の1stフィールドの書き込み中に垂直同期信号が来なくなるが、水平同期信号は動作し続けているためにライン数カウンタ値が所定の値より多いと判定され、ライン数エラーフラグが立ち、書き込みページAと読み出しページCが保持される。
- 20

- そしてライン数エラーフラグと水平同期信号の周波数エラーフラグ(図示せず)のORをとった水平同期エラーフラグが立つ。以後もライン数エラーフラグが立ったままとなるため、水平同期エラーフラグも立ったままとなる。水平同期エラーカウンタは水平同期エラーフラグの立ち上がりでリセットされ、水平同期エラーフラグと前フレーム水平同期エラーフラグの両方が立っている間カウンタアップし、水平同期エラーが何回続いているか数える。そして所定の回数(図で
- 25

は4回)続いた場合にブランクフラグを立て、読み出しデータを例えばブラックミューツ信号にマスクする。

また、図示してはいないが水平同期信号が来ない場合、及び垂直同期信号と水平同期信号の両方が来なくなる場合は、水平同期信号が来ない場合で兼用しており、水平同期信号が来なくなった場合に水平同期信号の周波数エラーフラグ(図示せず)が立ち、ライン数エラーフラグと水平同期信号の周波数エラーフラグのORをとった水平同期エラーフラグが立つ。以後は上記と同様に水平同期エラーが何回続いているか数え、所定の回数続いた場合にブランクフラグを立て、読み出しデータをマスクする。

- 10      以上、説明したように、記録時に外部入力映像データの垂直同期信号が標準周波数でない場合は、内部自走同期信号にしたがって、標準周波数の場合は、外部入力同期信号にしたがって映像データの記録を行うことができる。また、外部入力同期信号と内部自走同期信号の切り換えは位相がとぶことなく行うことができる。また、3フレーム分のシャフリングメモリを用いることで、フレームのデータが混ざらなく、さらにフレームページを管理すること、及び映像データの強制マスクを行なうことで、外部入力映像データに乱れがあっても正常な映像データを記録することができる。
- 15

#### 産業上の利用可能性

- 20      以上のような方法により、本発明では、3フレーム分のシャフリングメモリを用いることで、フレームのデータが混ざることなく記録が行え、またコンポジット信号等の外部入力映像データの同期信号が乱れた場合でも、外部入力同期信号の乱れを検出し、3フレーム分のシャフリングメモリのフレームページを管理すること、及び映像データの強制マスクを行なうことで、正常な映像データが記録
- 25      されるため、記録時の画質を高めた記録再生装置を実現することができる。

また外部入力同期信号と内部自走同期信号の切り換えがスムーズに行われるた

め、記録ヘッドの回転数に関して、正確なドラムサーボをかけることができ、入力信号に忠実な記録を行なうことができる。

## 請求の範囲

1. 映像デジタル信号を記録・再生する記録再生装置において、  
少なくとも3フレーム分のメモリと、

5 外部から入力された映像デジタル信号の同期信号にしたがって映像データを前記メモリに書き込む書き込み手段と、

前記同期信号にしたがって映像データを前記メモリから読み出す第1の読み出し手段と、

10 別途作成された自走同期信号にしたがって映像データを前記メモリから読み出す第2の読み出し手段と、

前記同期信号にしたがって、少なくとも前記メモリへの映像データの書き込みタイミングと読み出しタイミングを制御し、メモリのフレームページを管理するページ管理手段と、

15 を備え、前記ページ管理手段にしたがって前記第1の読み出し手段と前記第2の読み出し手段を切換えることを特徴とする記録再生装置。

2. 前記第2の読み出し手段は、

前記同期信号のフレーム長と予め設定された所定の標準値との長短差を検出するフレーム長検出手段と、

20 前記標準値より長い、第1のフレーム基準信号を作成する第1の内部カウンタと、

前記標準値より短い、第2のフレーム基準信号を作成する第2の内部カウンタと、

前記同期信号に基づいてウィンドウパルスを生成するウィンドウパルス生成部と、を備え、

25 前記フレーム長検出手段の検出結果より、

前記フレーム長が前記標準値と一致した場合は、前記第1の読み出し手段で前



記メモリから映像データを読み出し、

前記フレーム長が前記標準値より長い場合は、前記第1のフレーム基準信号を用いた前記第2の読み出し手段で前記メモリから映像データを読み出し、

5 前記フレーム長が前記標準値より短い場合は、前記第2のフレーム基準信号を用いた前記第2の読み出し手段で前記メモリから映像データを読み出し、

前記第1の読み出し手段から前記第2の読み出し手段への切り換わり時には、前記第1の内部カウンタ及び第2の内部カウンタをリセットし、

10 前記第2の読み出し手段から前記第1の読み出し手段への切り換わりは、前記ウィンドウパルス内に前記第1のフレーム基準信号または前記第2のフレーム基準信号が入った時に行われることを特徴とする請求の範囲第1項に記載の記録再生装置。

3. 前記第2の読み出し手段は、

フィールドを判別するフィールド判別手段と、

フィールドの不連続を検出する不連続検出手段と、を備え、

15 前記フィールド判別手段で判別したフィールドから前記不連続検出手段によりフィールド不連続を検出した場合、メモリの書き込みページ及び読み出しページを保持することを特徴とする請求の範囲第1項または第2項に記載の記録再生装置。

4. 前記第2の読み出し手段は、

20 1フレーム中のライン数を検出するライン数検出手段を備え、

該ライン数検出手段で検出されたライン数が、予め設定された所定のライン数と異なる場合、メモリの書き込みページ及び読み出しページを保持することを特徴とする請求の範囲第1項乃至第3項の何れかに記載の記録再生装置。

5. 前記第2の読み出し手段は、

25 外部から入力された映像デジタル信号のブランク期間を検出するブランク検出手段と、

前記ブランク検出手段によりブランク期間を検出した場合、前記メモリから読み出される映像信号を強制的にミュートするマスク手段と、

を備えたことを特徴とする請求の範囲第1項乃至第4項の何れかに記載の記録再生装置。

5        6.    前記第2の読み出し手段は、

外部から入力された映像デジタル信号がインターレースかノンインターレースか判別するインターレース判別手段と、

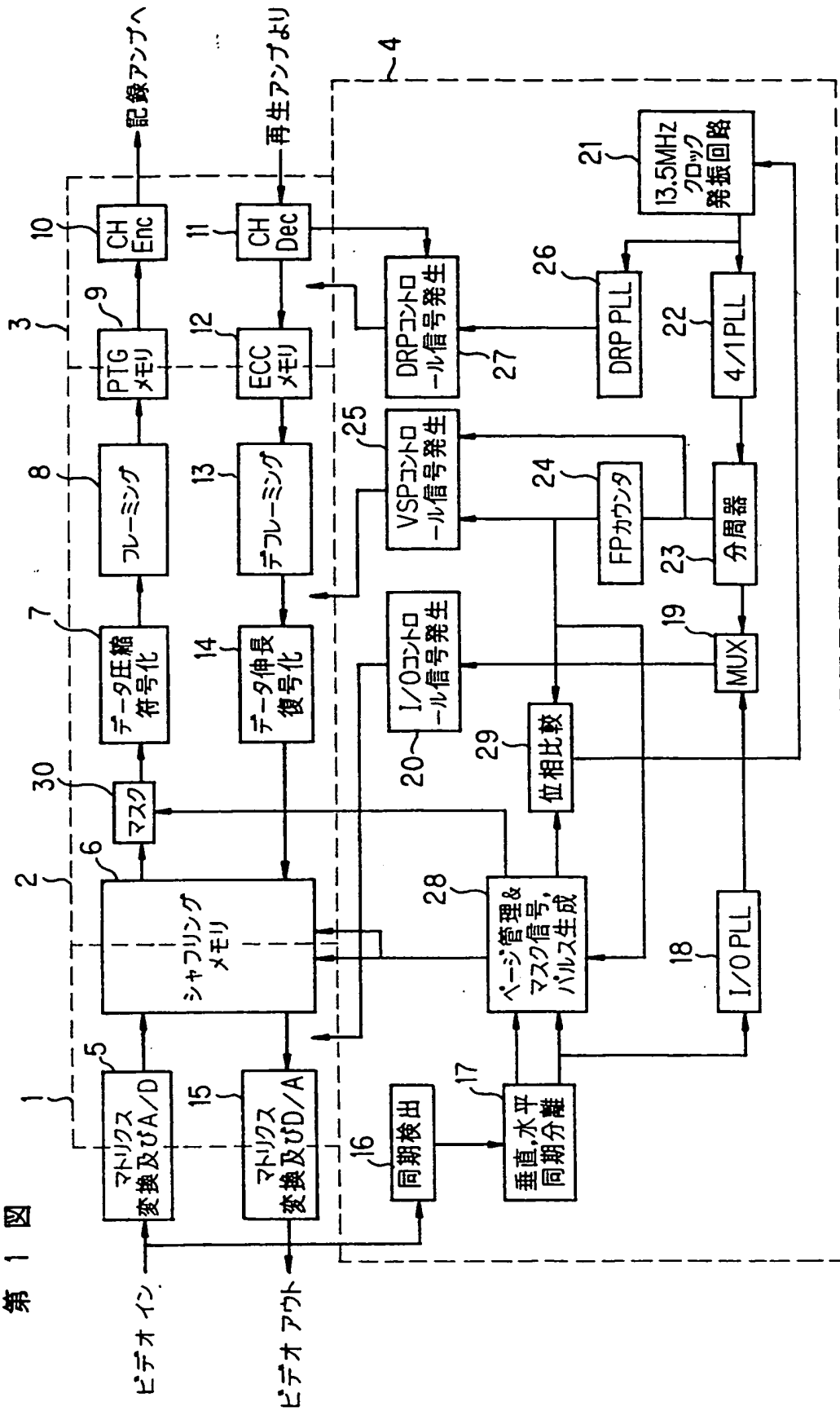
10        前記インターレース判別手段により外部から入力された映像デジタル信号がノンインターレースと判別された場合、フィールド付け替えを行い、インターレースに変換するフィールド付け替え手段と、

を備えたことを特徴とする請求の範囲第1項乃至第5項の何れかに記載の記録再生装置。

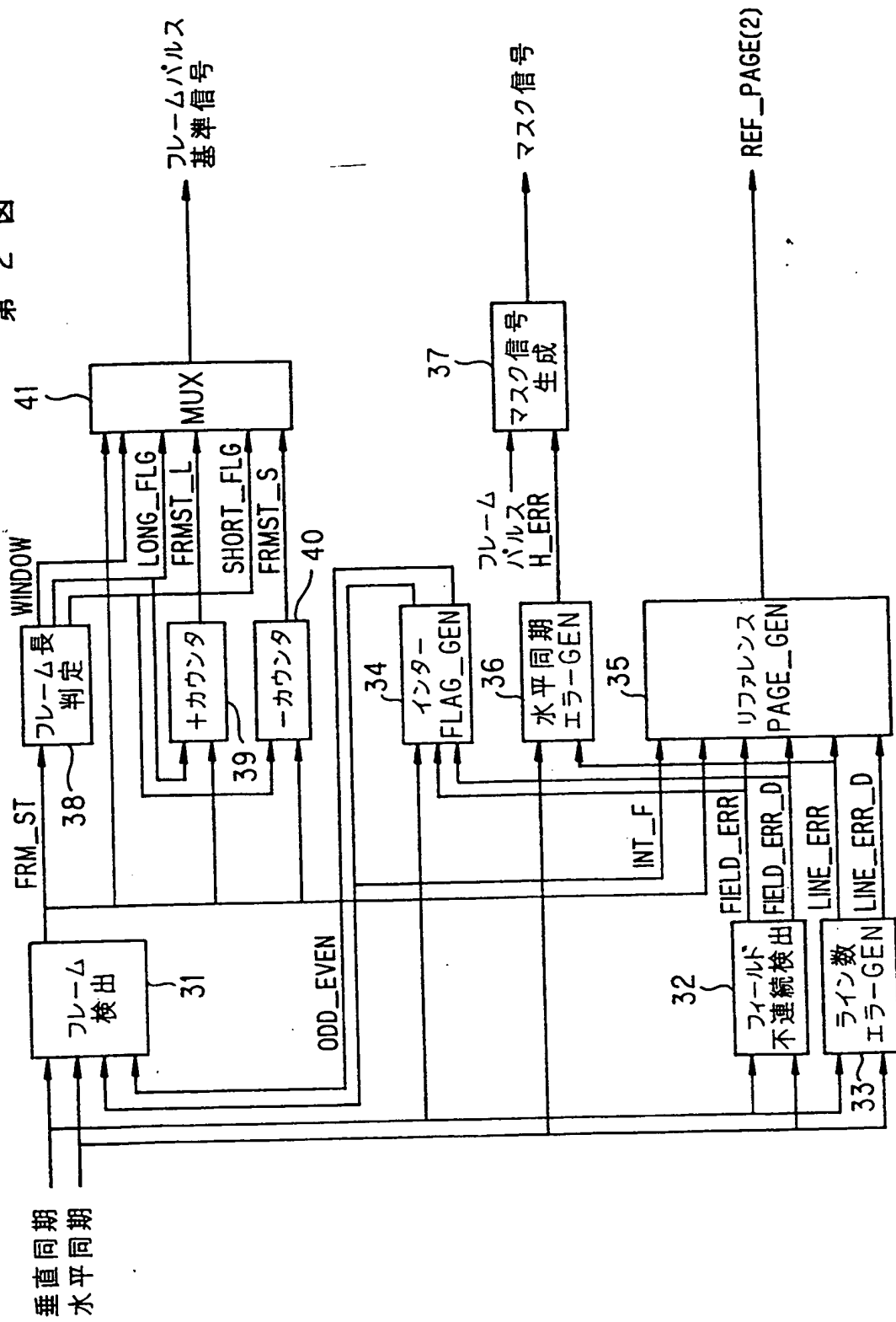
15        7.    前記インターレース判別手段の判別結果が変化した際、メモリの書き込みページ及び読み出しページの内容を保持することを特徴とする請求の範囲第6項に記載の記録再生装置。

20        8.    前記インターレース判別手段の判別結果が変化した際、予め設定された所定の期間前記判別結果を監視するとともに、メモリの書き込みページ及び読み出しページの内容を保持し、前記所定の期間終了後、前記判別結果を確定し、メモリの書き込みページ及び読み出しページの保持を解除することを特徴とする請求の範囲第6項に記載の記録再生装置。

第 1 図

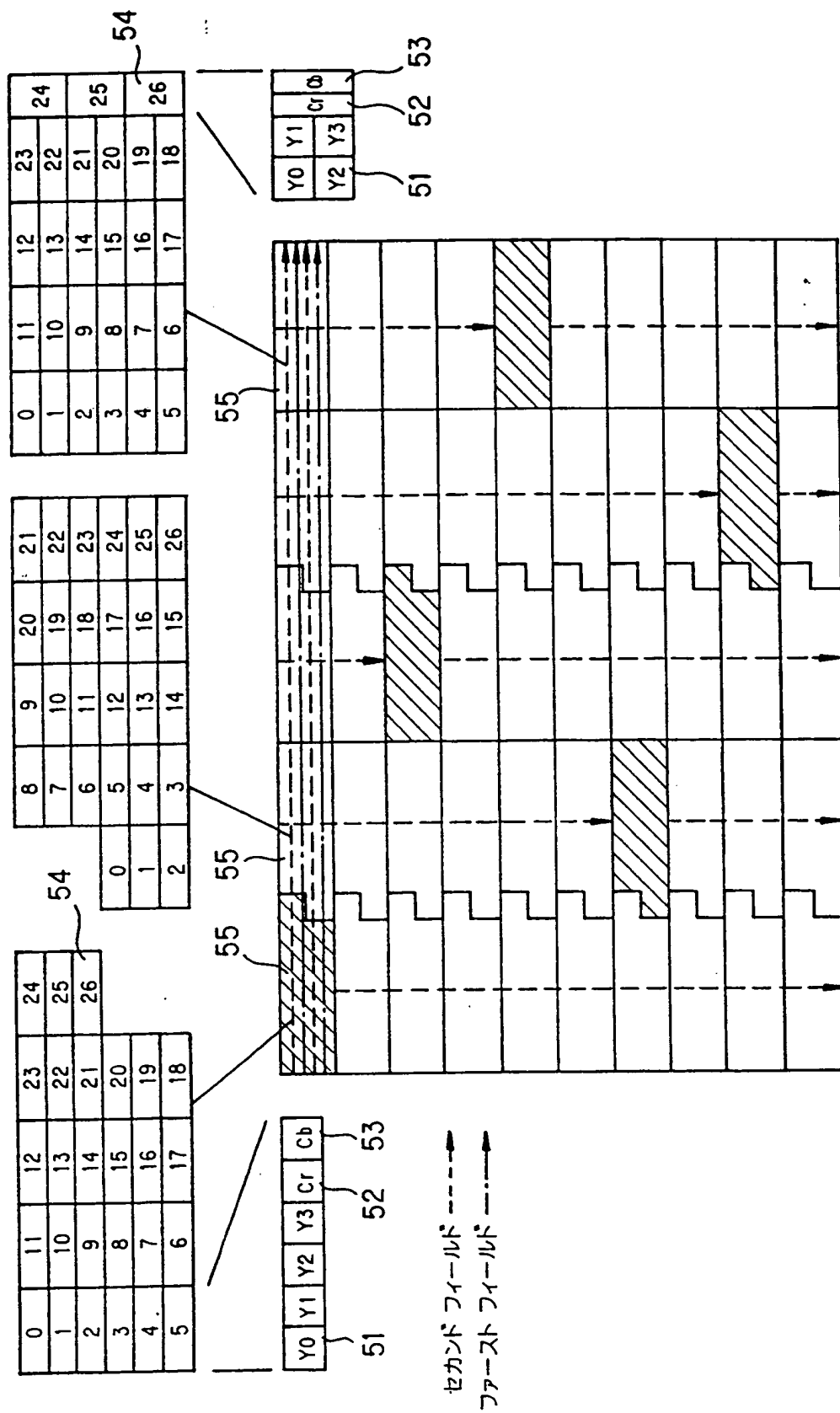


第 2 図



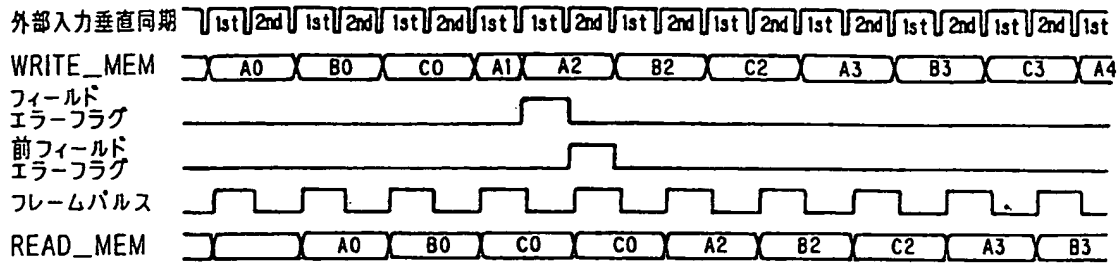


无子

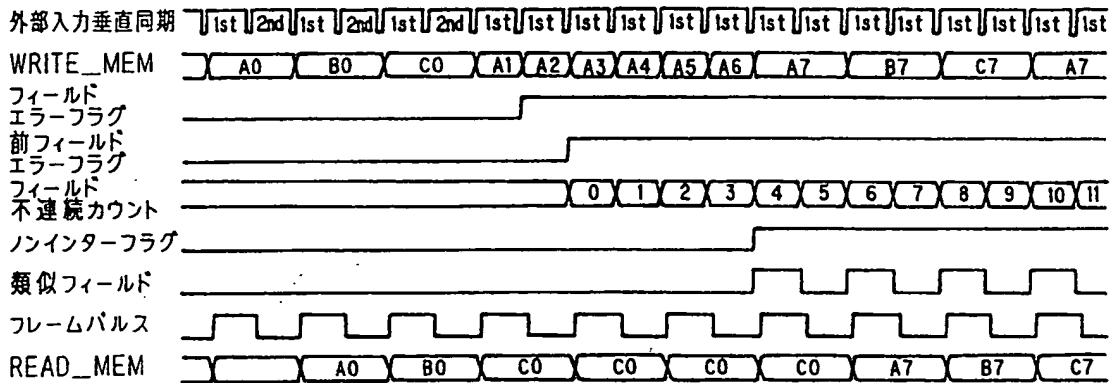


## 第 5 図

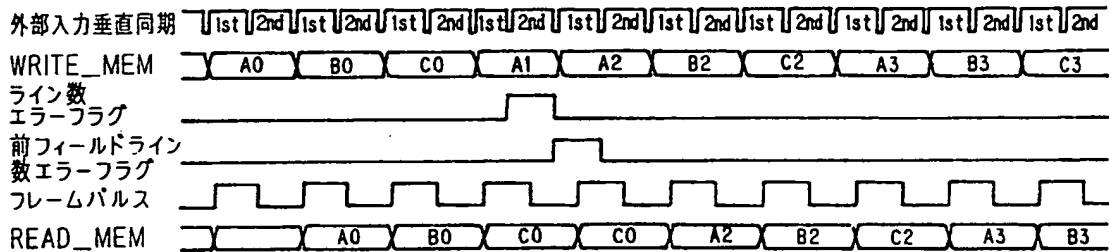
(a)



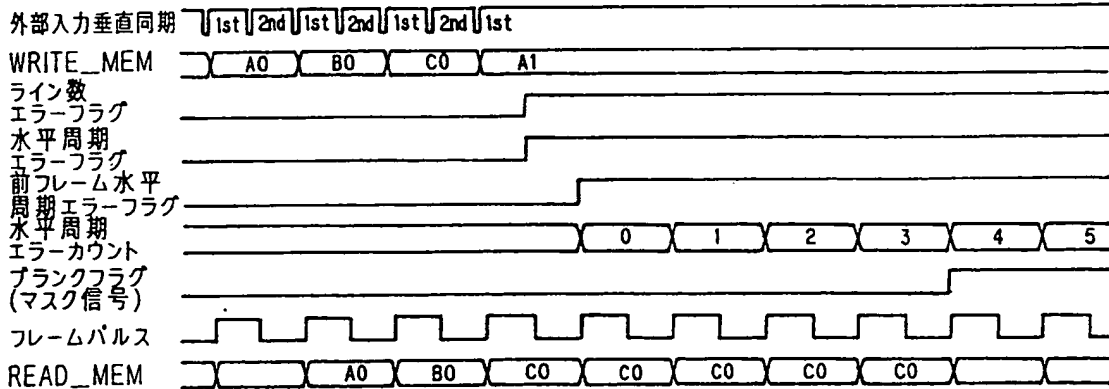
(b)



(c)

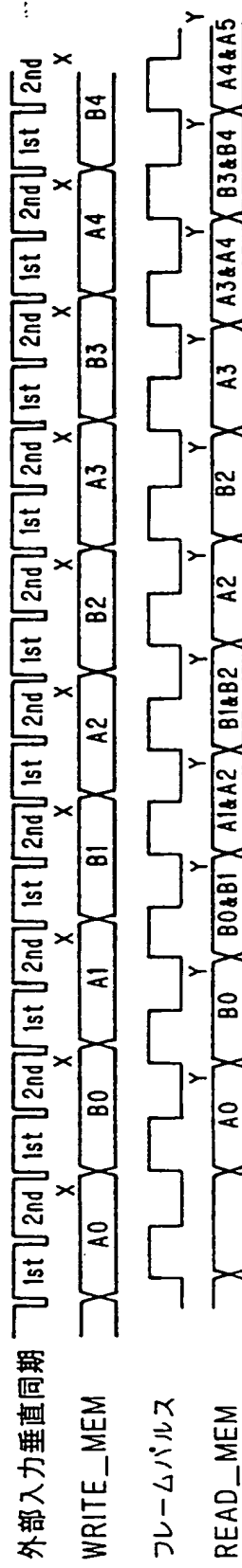


(d)

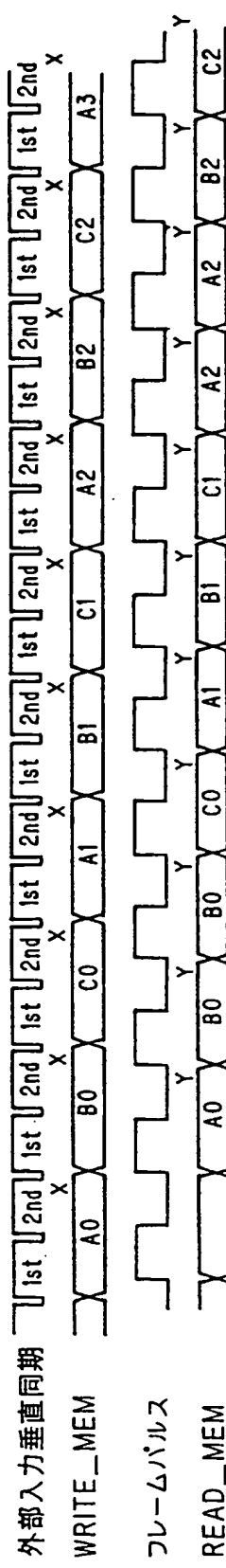


第 6 図

(a)



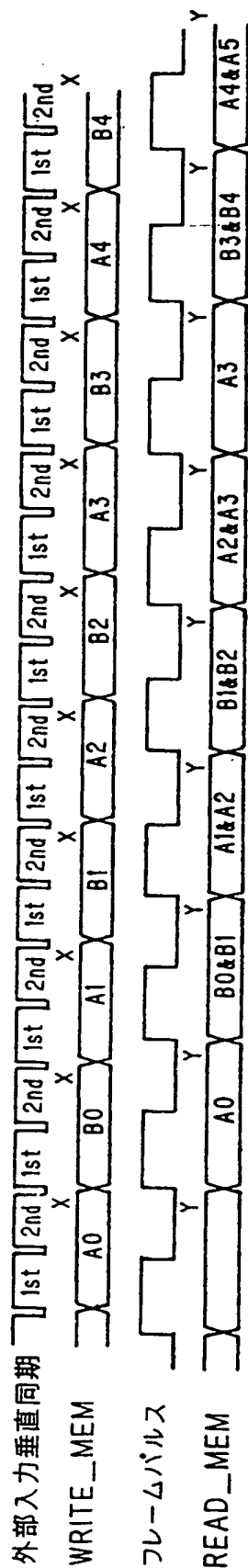
(b)



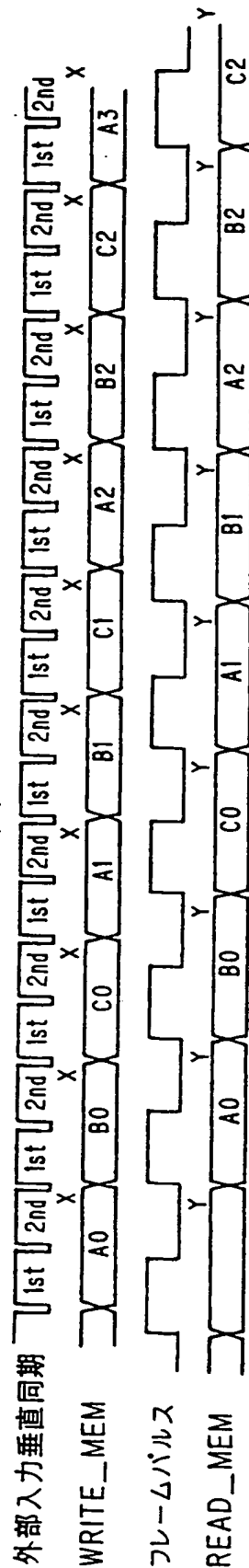


第 7 図

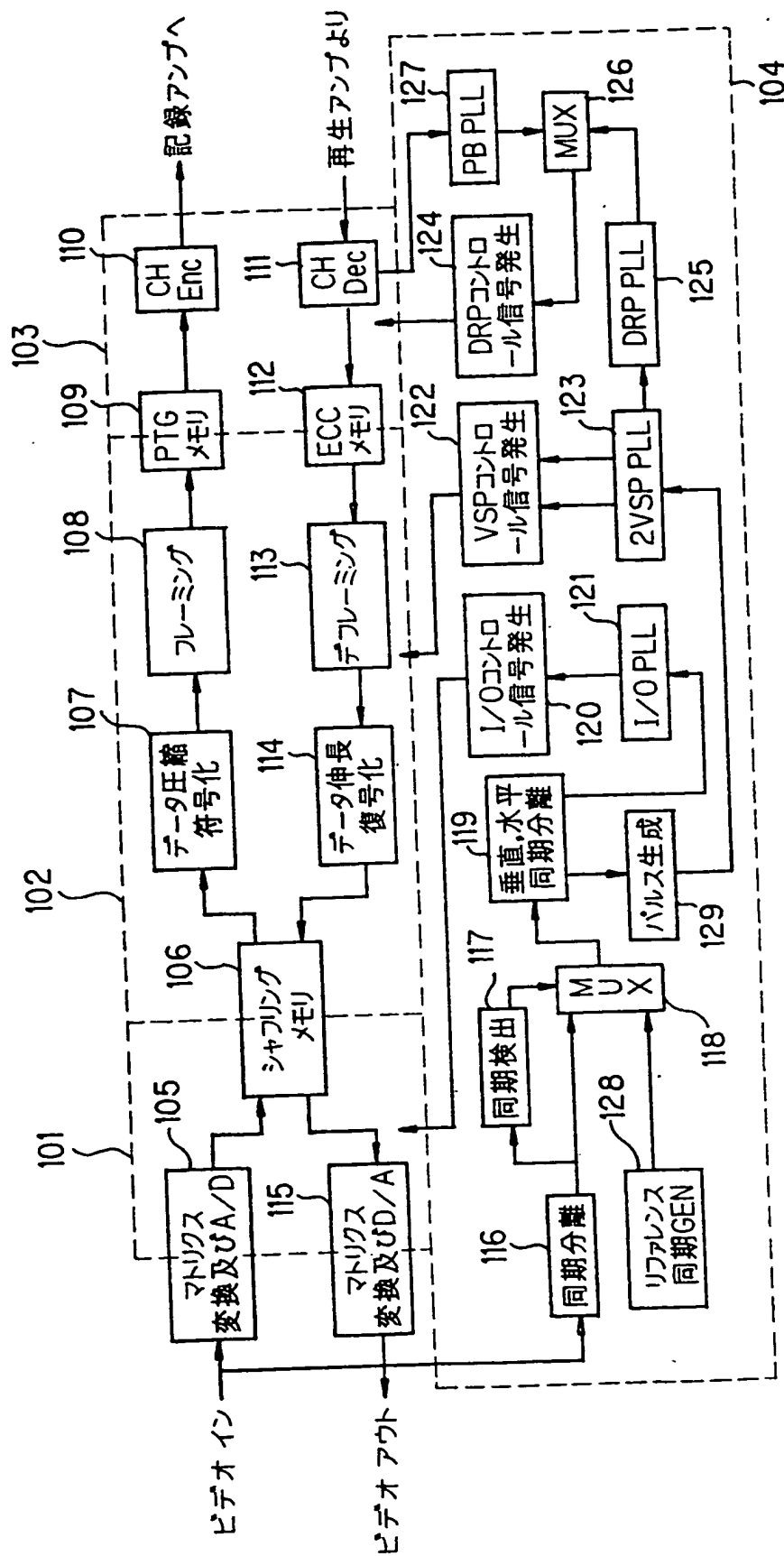
(a)



(b)



無 〇 𠄎



# INTERNATIONAL ARCH REPORT

Intern. application No.

PCT/JP00/03949

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H04N 5/92

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H04N 5/782, 5/91-5/956

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-----------|--|-----------------------|
| A         | JP, 6-303574, A (Sony Corporation),<br>28 October, 1994 (28.10.94) (Family: none)  | 1-8                   |
| A         | JP, 60-231977, A (Sony Corporation),<br>18 November, 1985 (18.11.85)<br>& AU, 4170785, A & EP, 160539, A<br>& US, 4751589, A1 & AT, 68652, E<br>& DE, 3584384, C | 1-8                   |
| A         | JP, 8-87840, A (Canon Inc.),<br>02 April, 1996 (02.04.96)<br>& US, 5937156, A1   | 1-8                   |
| A         | JP, 8-172608, A (Matsushita Electric Ind. Co., Ltd.),<br>02 July, 1996 (02.07.96)<br>& EP, 705034, A2 & US, 5671260, A1  | 1-8                   |
| A         | JP, 8-191425, A (Mitsubishi Electric Corporation),<br>23 July, 1996 (23.07.96) (Family: none)  | 1-8                   |
| A         | JP, 9-172612, A (Sanyo Electric Co., Ltd.),  | 1-8                   |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
04 September, 2000 (04.09.00)

Date of mailing of the international search report  
19 September, 2000 (19.09.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03949

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
|           | 30 June, 1997 (30.06.97) (Family: none)  |                       |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H04N 5/92

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H04N 5/782, 5/91-5/956

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
|-----------------|---|------------------|
| A               | JP, 6-303574, A (ソニー株式会社) 28. 10月. 1994 (28. 10. 94)<br>(ファミリーなし)   | 1-8              |
| A               | JP, 60-231977, A (ソニー株式会社) 18. 11月. 1985 (18. 11. 85)<br>& AU, 4170785, A & EP, 160539, A<br>& US, 4751589, A1 & AT, 68652, E<br>& DE, 3584384, C | 1-8              |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

04. 09. 00

国際調査報告の発送日

19.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松元 伸次

5C

9563

印

電話番号 03-3581-1101 内線 3541

## C (続き) . 関連すると認められる文献

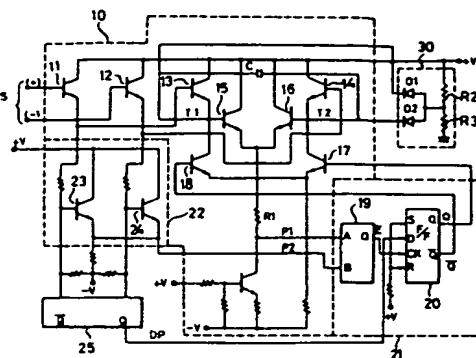
| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
|-----------------|--|------------------|
| A               | JP, 8-87840, A (キャノン株式会社) 2. 4月. 1996 (02. 04. 96)<br>& US, 5937156, A1                        | 1-8              |
| A               | JP, 8-172608, A (松下電器産業株式会社) 2. 7月. 1996 (02. 07. 96)<br>& EP, 705034, A2<br>& US, 5671260, A1 | 1-8              |
| A               | JP, 8-191425, A (三菱電機株式会社) 23. 7月. 1996 (23. 07. 96)<br>(ファミリーなし)                              | 1-8              |
| A               | JP, 9-172612, A (三洋電機株式会社) 30. 6月. 1997 (30. 06. 97)<br>(ファミリーなし)                              | 1-8              |

**(54) READING CIRCUIT OF MAGNETIC DISK DEVICE**

(11) 60-231975 (A) (43) 18.11.1985 (19) JP  
 (21) Appl. No. 59-86358 (22) 28.4.1984  
 (71) TOSHIBA K.K. (72) SUSUMU OOMORI  
 (51) Int. Cl. G11B20/10

**PURPOSE:** To obtain securely a normal read pulse signal corresponding to a readout signal by detecting the peak of the readout signal securely even when the readout signal inputted from a magnetic head contains a bias voltage component.

**CONSTITUTION:** A clamping circuit 30 is equipped with resistances R2 and R3 connected in series and a voltage divided by those resistances R2 and R3 is applied to anodes of diodes D1 and D2. Then, the cathode side of the diode D1 is connected to the base of a transistor (TR)15 and one terminal of a capacitor C. Further, the cathode side of the diode D2 is connected to the base of a TR16 and the other terminal of the capacitor C. Consequently, even when the readout signal containing the bias voltage component is inputted, the readout signal is clamped to a specific voltage level as long as it is higher than a reference voltage VR, and the peak of the readout signal is detected securely by a peak detecting circuit 10.



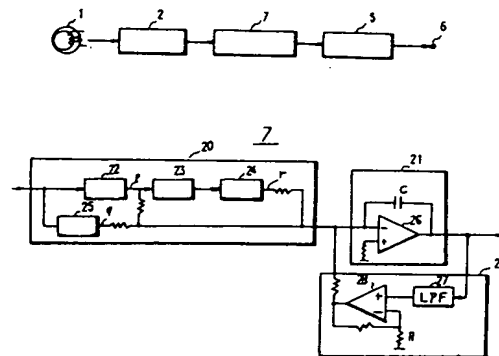
19: comparator, 25: differentiation circuit

**(54) DIGITAL MAGNETIC REPRODUCING CIRCUIT**

(11) 60-231976 (A) (43) 18.11.1985 (19) JP  
 (21) Appl. No. 59-87236 (22) 30.4.1984  
 (71) NEC HOME ELECTRONICS K.K. (72) YUKIHIRO OKADA  
 (51) Int. Cl. G11B20/10, H04N5/93

**PURPOSE:** To decrease the number of parts by substituting an adding circuit in a conventional waveform equalizing circuit with an adding and integrating circuit and removing a trailing-stage integrating circuit.

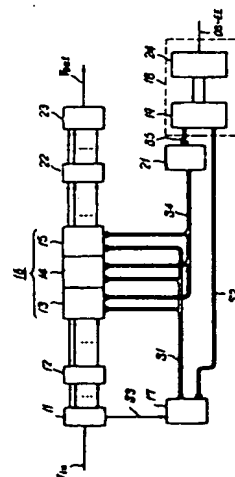
**CONSTITUTION:** The waveform equalized and integrating circuit 7 which performs waveform equalization and integration simultaneously is installed between an amplifying circuit 2 and a discriminating and reproducing circuit 5 as a substitute for a waveform equalizing circuit and an integrating circuit which are provided independently before. This waveform equalizing and integrating circuit 7 consists of a delay inversion coefficient circuit 20, adding and integrating circuit 21, and low-band negative feedback adding and integrating circuit 22. The delay inversion coefficient circuit 20 consists of delay circuits 22 and 23, amplitude inverting circuits 24 and 25, and a coefficient circuit composed of a resistor, and the adding and integrating circuit 21 consists of an operational amplifier 26 and an integrating capacitor C. Therefore, voltages at specific nodes (p), (q), and (r) in the delay inversion coefficient circuit 20 are summed up and integrated by the adding and integrating circuit 21 simultaneously. Namely, the waveform equalization and integration are carried out simultaneously.

**(54) VIDEO SIGNAL REPRODUCING DEVICE**

(11) 60-231977 (A) (43) 18.11.1985 (19) JP  
 (21) Appl. No. 59-87531 (22) 28.4.1984  
 (71) SONY K.K. (72) HISANORI KOMINAMI  
 (51) Int. Cl. G11B20/10, H04N5/92

**PURPOSE:** To invert the switching order of video memories correctly and smoothly without any disorder on a reproducing screen so that the screen returns to the past by providing at least three video memories and inhibiting the video memories from being switched in a reproducing section of a specific number of frames when the running direction of a recording medium is inverted.

**CONSTITUTION:** A reproducing input signal Vin is inputted to a video signal memory 16. A readout address counter 21 starts counting up at a loaded address with an address loading signal S5 supplied from the address control circuit 19 of a memory switching control circuit 18, and consequently a field memory to be read is specified among the 1st~the 3rd field memories 13~15. Reproduced data are stored in two field memories in slow reproducing mode and the remaining one memory is used to read data; and the memories are inhibited from being switched specified times according to the reproducing state of a recording track by a head.



11: series-parallel, 12,22: latch, 17: interruption address counter, 23: parallel-series, 24: scanning mode detection

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)  
〔PCT36条及びPCT規則70〕

REC'D 27 APR 2001

WIPO

PCT

|   |   |                         |
|---|---|-------------------------|
| 出願人又は代理人<br>の書類記号 FWA0-10                       | 今後の手続きについては、国際予備審査報告の送付通知（様式PCT/<br>IPEA/416）を参照すること。 |                         |
| 国際出願番号<br>PCT/JPO0/03949                        | 国際出願日<br>(日.月.年) 16.06.00                             | 優先日<br>(日.月.年) 30.06.99 |
| 国際特許分類 (IPC)<br>Int. Cl. <sup>7</sup> H04N 5/92 |   |                         |
| 出願人 (氏名又は名称)<br>シャープ株式会社                        |   |                         |

- 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。  
☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び／又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で                      ページである。
- この国際予備審査報告は、次の内容を含む。  
I ☒ 国際予備審査報告の基礎  
II ☐ 優先権  
III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成  
IV ☐ 発明の単一性の欠如  
V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明  
VI ☐ ある種の引用文献  
VII ☐ 国際出願の不備  
VIII ☐ 国際出願に対する意見

|  |  |         |
|--|--|---------|
| 国際予備審査の請求書を受理した日<br>24.10.00                                     | 国際予備審査報告を作成した日<br>13.04.01                             |         |
| 名称及びあて先<br>日本国特許庁 (IPEA/JP)<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員)<br>松元 伸次<br>電話番号 03-3581-1101 内線 3541 | 5C 9563 |



## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- |                                     |         |        |                      |
|-------------------------------------|---------|--------|----------------------|
| <input type="checkbox"/> 明細書        | 第 _____ | ページ、   | 出願時に提出されたもの          |
| <input type="checkbox"/> 明細書        | 第 _____ | ページ、   | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書        | 第 _____ | ページ、   | 付の書簡と共に提出されたもの       |
| <input type="checkbox"/> 請求の範囲      | 第 _____ | 項、     | 出願時に提出されたもの          |
| <input type="checkbox"/> 請求の範囲      | 第 _____ | 項、     | PCT19条の規定に基づき補正されたもの |
| <input type="checkbox"/> 請求の範囲      | 第 _____ | 項、     | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 請求の範囲      | 第 _____ | 項、     | 付の書簡と共に提出されたもの       |
| <input type="checkbox"/> 図面         | 第 _____ | ページ/図、 | 出願時に提出されたもの          |
| <input type="checkbox"/> 図面         | 第 _____ | ページ/図、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 図面         | 第 _____ | ページ/図、 | 付の書簡と共に提出されたもの       |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ | ページ、   | 出願時に提出されたもの          |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ | ページ、   | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ | ページ、   | 付の書簡と共に提出されたもの       |

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

|               |       |     |   |
|---------------|-------|-----|---|
| 新規性(N)        | 請求の範囲 | 1-8 | 有 |
|               | 請求の範囲 |     | 無 |
| 進歩性(IS)       | 請求の範囲 | 1-8 | 有 |
|               | 請求の範囲 |     | 無 |
| 産業上の利用可能性(IA) | 請求の範囲 | 1-8 | 有 |
|               | 請求の範囲 |     | 無 |

## 2. 文献及び説明(PCT規則70.7)

## 請求の範囲1-8

入力同期信号によってメモリのフレームページを管理し、メモリからの第1の読み出し手段と第2の読み出し手段とを切換えることについては国際調査報告において引用した文献のいずれにも記載されておらず、新規性・進歩性を有する。